

デットビート制御による並列運転の インバータへの応用

Application of Deadbeat Control to Parallel Operation of Mini UPS Inverter

坂 根 誠* 汪 孟** 李 方正** 黄 立培**

Makoto Sakane Meng Wang Fangzheng Li Lipei Huang

Abstract

A novel modified deadbeat control scheme has been proposed for the parallel operation of UPS inverters connected by two common lines. Each UPS inverter in parallel by this scheme was verified to have both good static performance and fast dynamic response resulting in being insensitive to parametric deviation for a long term period. This parallel operation was to be realized by a distributed control method. This paper describes the outline of features of parallel operation of mini UPS inverter by progressively converging deadbeat control.

Key words: Deadbeat control; Parallel operation; UPS inverter

1 はじめに

近年、無停電電源装置（UPS）を必要とする負荷装置の社会的役割は、ますます重要となり、その信頼性を向上させるために冗長システムが組まれる。そこに使用される UPS に対しても、高い信頼性が求められる。その解決方法として、並列運転方式がある。並列運転は、N+1 による信頼性向上のほかに、負荷容量にあわせて容量を増設できる利点があり、市場要求仕様の一つとなっている。

そこに使用する UPS インバータは、並列システムが安定動作するために、良好な出力電圧特性と、速

い動的応答性能、それらが長期に渡り経年変化のないことが求められる。我々は、その方法としてデジタル制御に注目した。その制御は、アナログ制御にくらべて、経年変化や温度ドリフトによる影響がなく、高い柔軟性および高信頼性が得られる利点がある。UPS 装置は、インバータ制御のほかに、起動停止やバイパス切換のシーケンス制御と監視および表示機能、通信機能などの高機能化が要求され、それを満足するために CPU が搭載される。従来より、その CPU をインバータ制御に使用することにより、他の電源装置にくらべてデジタル制御の実用化が進んでいる。一般的には、デジタル PID 制御^{1,2)}が用いられる。これは基本的に、アナログ制御と同等の制御をデジタルで処理するもので、制御特性の目標値はアナログと同等レベルとなる。一方、デジタル処理デバイスの性能は年々向上しているが、低価格を要求されるミニ UPS では、

* (株)ジーエス・ユアサ パワーエレクトロニクス
技術開発本部

** 清華大学

要求する性能を達成できる高スペックのものは、高価でコスト面での要求仕様を満足できない。我々は、デジタルPID制御に比べて、速い動的応答と高い利得が得られるデッドビート制御によって、その制御性能を向上させることにより、比較的安価な低スペック品の適用を可能にする方法を検討してきた。そして、新しいPCD制御“Progressively converging deadbeat control”を考案している³⁾。その良好な制御特性をいかした用途として、UPSインバータの並列制御への適用を試みたところ、その有効性を実験にて確かめることができた。本報告は、その概要についてのべる。

2 デッドビート制御

2.1 システムモデリング

単相UPSインバータの主回路をFig. 1に示す。さまざまな負荷条件を考慮するために、負荷は電流源 i_o にて等価する。出力電圧 u_o とインダクタ電流 i_L を状態変数とし、 u_{in} はインバータブリッジの出力電圧である。

状態方程式は、つぎの(1)式で表される。

$$\begin{bmatrix} \dot{u}_o \\ \dot{i}_L \end{bmatrix} = A \cdot \begin{bmatrix} u_o \\ i_L \end{bmatrix} + B \cdot u_m + H \cdot i_o \quad \dots \dots \dots (1)$$

ここで、 $A = \begin{bmatrix} 0 & \frac{1}{C} \\ -\frac{1}{L} & 0 \end{bmatrix}$, $B = \begin{bmatrix} 0 \\ \frac{1}{L} \end{bmatrix}$, $H = \begin{bmatrix} -\frac{1}{C} \\ 0 \end{bmatrix}$

2.2 デッドビート制御とPCD制御

インバータブリッジのパルスパターンをFig. 2に示す。デッドビート制御は、(1)式を離散化モデルで展開、変形して得られる状態方程式を使用する。その式で、サンプリング周期 $k + 1$ 番目の出力電圧 $u_o(k+1)$ が、目標とする基準正弦波 $u_{ref}(k+1)$ と等しくなるように、

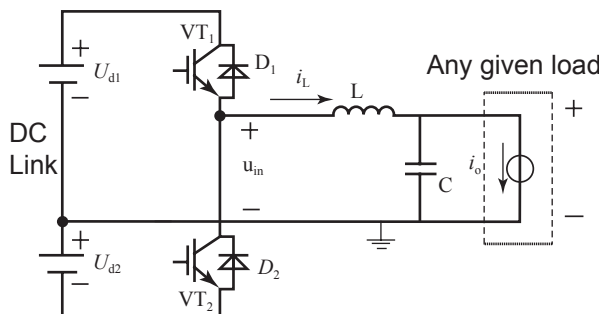


Fig. 1 Representative equivalent main circuit of UPS inverter.

インバータブリッジのパルス幅 $\Delta T(k)$ を、サンプリング周期ごとに計算して制御する。出力電圧の変動(基準正弦波と出力電圧の差)は、サンプリング周期ごとに修正され、インバータブリッジのパルス幅 ΔT に反映するため、速い応答と高い利得が得られる。しかし、その反面、計算に使用するLCフィルタのパラメータの変化に敏感で、それが不安定動作の要因となる。ミニUPSで使用するリアクトルは、コスト面より直流重畳特性の変化が大きい部品を選定することが多く、また、その個体差もあるため、計算に使用するL値と実際のL値の差によるパラメータの変化の補正が安定動作の課題となる。今回、この課題を改善するための方法として、収束性係数 k_c ($0 < k_c < 1$)を組み入れた新しいデッドビート制御のPCD制御を採用した。これは、状態方程式の出力電圧の目標値である基準正弦波 $u_{ref}(k+1)$ の代わりに、(2)式に示す $u'_{ref}(k+1)$ を使用する。

$$u'_{ref}(k+1) = k_c u_{ref}(k+1) + (1-k_c)u_o(k) \quad \dots \dots \dots (2)$$

PCD制御での $\Delta T(k)$ は、つぎの(3)式で表される。

$$\Delta T(k) = \frac{1}{b_{2,1}} [k_c u_{ref}(k+1) + (1-k_c)u_o(k)] - \frac{\psi_{11}}{b_{2,1}} u_o(k) - \frac{\psi_{12}}{b_{2,1}} i_L(k) - \frac{b_{1,1}}{b_{2,1}} - \frac{b_{3,1} i_{o,th}}{b_{2,1}} \quad \dots \dots \dots (3)$$

3 並列運転制御方式

UPSインバータを並列運転するためには、それぞれのUPSの出力電圧の振幅、周波数、位相を同期させて、各負荷電流を平衡させなければならない。一般的な方式として、マスタースレーブ方式、または中央集中制御方式がある⁴⁾。これらの方式は、並列システムに共通制御回路をもつことになり、その部分の障害に対する信頼性確保に問題がある。共通制御回路を

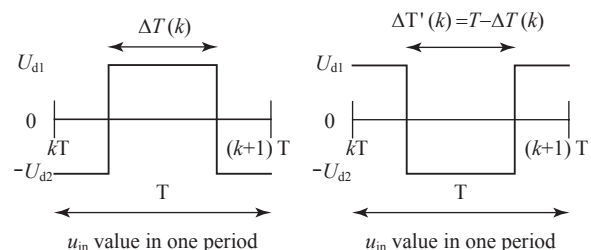


Fig. 2 Negative and positive pulse patterns for inverter output voltage u_{in} .

もたない方式として、UPSインバータの電圧や周波数のレギュレーション特性を利用する方式^{5,6)}があるが、出力電圧の精度や過渡応答特性に課題を残す場合が多い。このような問題点を克服する方式として、各UPSが同期信号と平均出力電流の2本の信号線を共有するのみで、共通制御回路が存在せず、信頼性の高い並列運転が得られる方式⁷⁾を、今回の並列制御方式として使用した。その制御は、各UPSのインバータ制御と独立して動作する。したがって、インバータ制御は、アナログ制御、デジタルPID制御、デットビート制御などを任意に適用できる。ただし、その制御性能は、並列制御によるシステム全体の特性に大きく影響をおよぼす。並列制御は、同期制御と分担制御の2つで構成される。それぞれについて、以下に説明する。

3.1 同期制御

同期した状態とは、並列に動作する各UPSインバータの出力電圧と電圧基準値が一致した状態である。したがって、同期制御は、各UPSインバータが、同じ振幅、周波数、位相の電圧基準値で動作させるための制御である。振幅は、同じデジタル量を各UPSの基準に設定することによって容易に達成できる。周波数と位相の一致には、Fig. 3で示される同期信号 S_p の共通線が使用される。その信号が、各UPSに方形波信号として送信され、それを元に、それぞれのUPSの出力電圧の電圧基準値 u_{vj} が設定されて同期制御が達成される。

3.2 分担制御

同期制御のみの場合は、出力インピーダンスの差や制御誤差により、各UPSの出力電圧に差が発生し、各UPSインバータ間で電流（横流）が流れる。これを防ぐために、分担制御が必要となる。分担制御の目的は、それぞれの出力電流を、総合出力電流の1台当たりの平均値に一致させることである。共通線は、総合出力電流を並列台数で平均した出力電流の瞬時値信

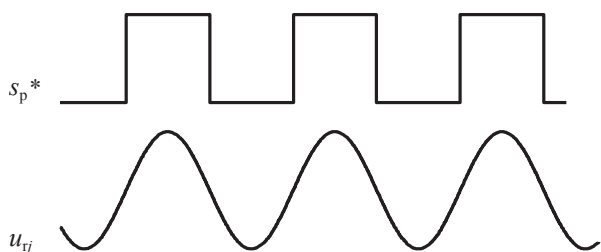


Fig. 3 Phase locking of s_p^* and u_{vj} for synchronous control of UPS inverter.

号 i_{oa} を送信する。各UPSは、 i_{oa} を使用して、自身の瞬時値 i_{oj} と比較し、その誤差信号 i_{ocj} に応じて、電圧基準値 u_{vj} を調整する。その制御ブロックをFig. 4に示す。同期制御と分担制御はインバータ内部の制御ループに影響はなく、独立していることがわかる。

4 実験結果

4.1 実験システム

UPSインバータの主回路は、1kVAミニUPS“YUMIC-SC10”を使用する。また、制御回路は、TI社のDSP“TMS320LF2407A”を使用する。Fig. 5にブロック図を示す。並列制御のための S_p と i_{oa} の2つの共通線と負荷装置を接続し、3台のUPSによる並列運転システムで実験を実施した。ハードウェア仕様は、つぎのとおりである。

- 定格出力電圧：100 V, 50 Hz
- 定格容量：1 kVA, 700 W
- インバータの出力LCフィルタ：L = 1.3 mH,
C = 20 μ F
- スイッチング周波数：20 kHz

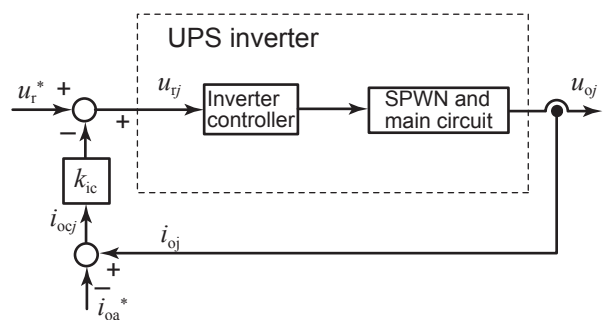


Fig. 4 Instantaneous current sharing control for each UPS inverter.

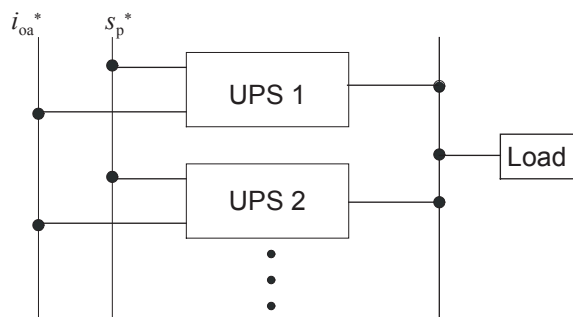


Fig. 5 Diagram of UPS parallel system.

4.2 定常状態特性

3台の並列運転での定常状態特性を、負荷条件を変えて確認した。Fig. 6は抵抗負荷動作、Fig. 7はその軽負荷動作、Fig. 8は無負荷動作、Fig. 9は整流器負荷での動作波形である。それぞれの図には、出力電圧(Ch1)と各インバータの分担電流(Ch2, 3, および4)を示す。また、Table 1に、その実験結果を示す。

この表から、各負荷条件における出力電圧の定電圧精度は2%以内、歪率は2%以下と良好であることがわかる。また、各インバータの電流平衡率(平均電流に対する分担電流の比率)は、3.3%以下であり、同期、分担制御が適正であることがわかる。

4.3 動特性

Fig. 10とFig. 11は、2台目のUPSインバータを抵

抗負荷と整流器負荷の条件で起動させた時の動特性波形を示す。また、Fig. 12とFig. 13は、3番目のUPSインバータを抵抗負荷と整流器負荷の条件で起動させたときの動特性波形を示す。これらの図から、並列するインバータの起動における負荷急変に対し、負荷分

Table 1 Summary of test results on parallel operation for three modules UPS inverter system under different load conditions.

Load condition	U_o / V	THD of $u_o / \%$	I_{o1} / A	I_{o2} / A	I_{o3} / A
Resistance load	100.8	1.68	2.50	2.66	2.60
Light resistance load	101.5	1.67	1.10	1.32	1.06
Rectifier load	101.5	1.67	1.62	1.76	1.89
No load	102.0	1.62	0.37	0.30	0.36

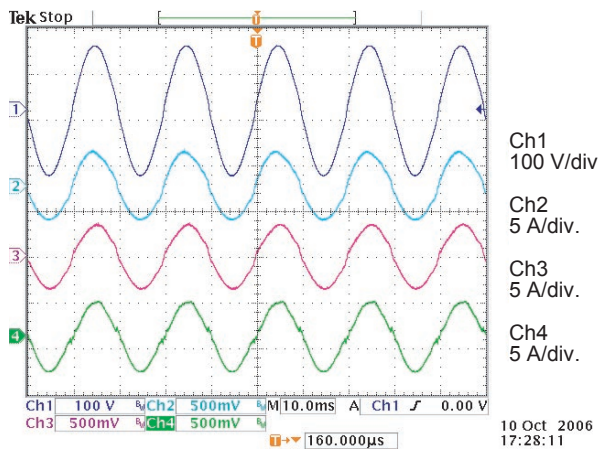


Fig. 6 Representative three modules operating UPS in parallel at resistance load.

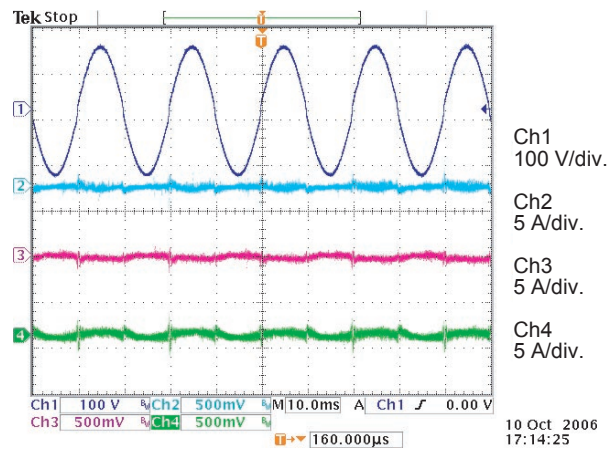


Fig. 8 Representative three modules operating UPS in parallel at no load.

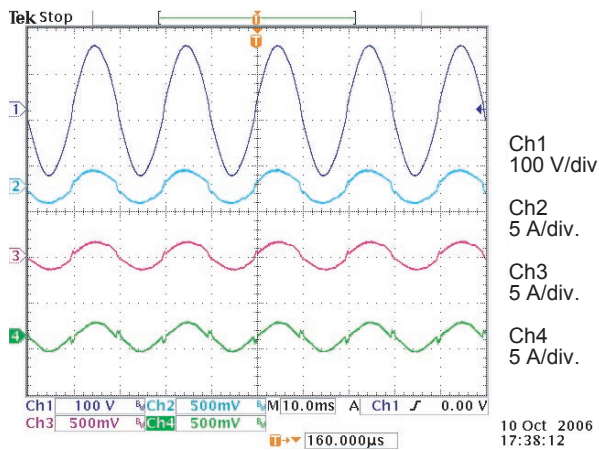


Fig. 7 Representative three modules operating UPS in parallel at light resistance load.

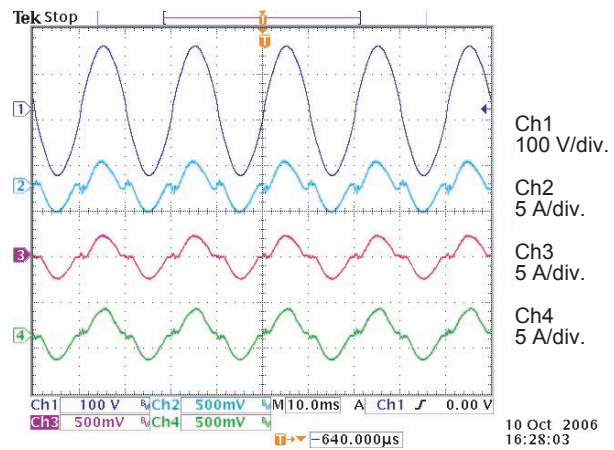


Fig. 9 Representative three modules operating UPS in parallel at rectifier load.

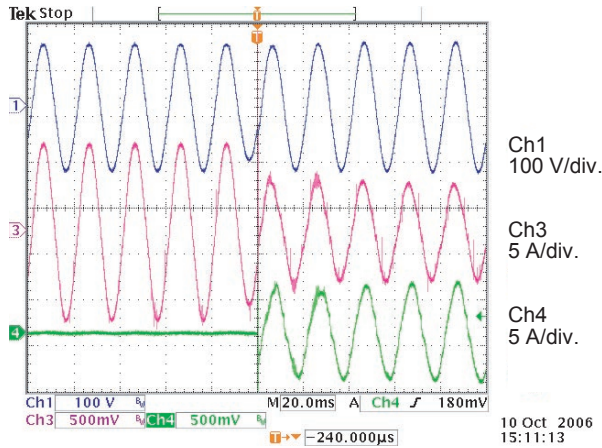


Fig. 10 The second module plugged into parallel operation at resistor load.

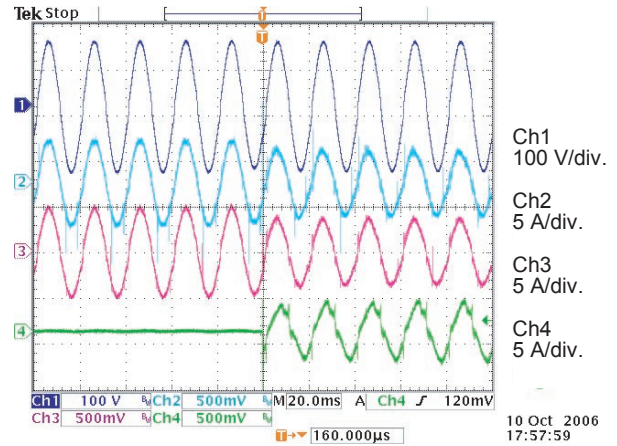


Fig. 12 The third module plugged into parallel operation at resistor load.

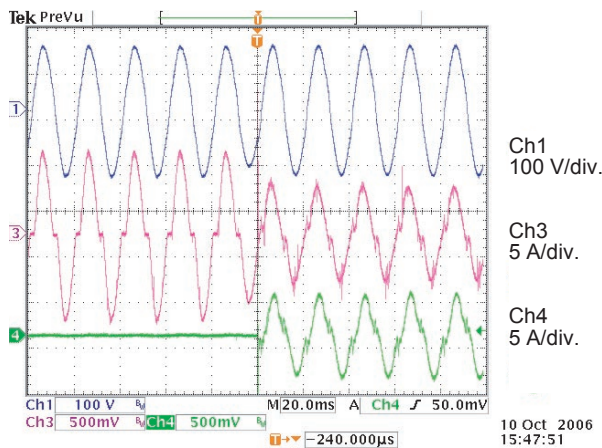


Fig. 11 The second module plugged into parallel operation at rectifier load.

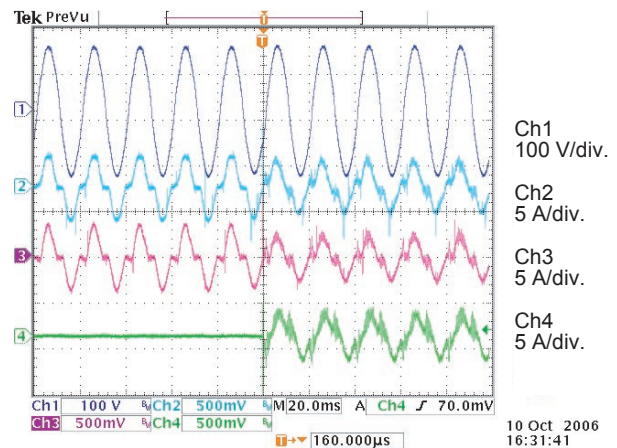


Fig. 13 The third module plugged into parallel operation at rectifier load.

担および定電圧制御は小さく、安定して動作していることがわかる。

5 まとめ

UPS インバータの並列制御にて平衡運転の性能を向上させる新しい方法として、従来のデジタルPID制御に比べて、速い動的応答と高い利得が得られるデッドビート制御を用いたPCD制御を各インバータに適用した。その結果、良好な出力電圧波形の性能と負荷平衡を実現することができた。その有効性の概要は、つぎとおりである。

(1) 2本の共通信号線のみを共有する方式で並列運転を実現することによって、共通回路の少ない信頼

性の高い冗長運転が達成できる。

(2) デッドビート制御の適用により、2%以内の定電圧精度、2%以下の歪率と良好な定常状態特性と、負荷急変に対する早くて安定した動的応答特性が得られる。

(3) デッドビート制御は、インバータのLCフィルタのL値に敏感で、並列運動作では、計算L値を小さく設定することによって、安定動作が得られる。

以上のように、今回、提案した新しい並列制御方法は、きわめて有効であることが確認できた。今後は、製品開発の要求事項である特性、コスト、生産性を検討し、信頼性の高い並列冗長システムUPSの開発に取り組みたい。

文 献

- 1) 坂根誠, 劉亞東, 邢 岩, 黄立培, 平地克也, *GS Yuasa Technical Report*, **1** (1), 72 (2004).
- 2) LIU Yadong, XING Yan, HUANG Lipei, and M.Sakane, *IPEC-NIIGAT 2005 (Japan)*, p.817 (2005).
- 3) 坂根誠, 劉亞東, 邢 岩, 黄立培, 平地克也, *GS Yuasa Technical Report*, **3** (1), 48 (2006).
- 4) Jiann-Fuh Chen, Ching-Lung Chu, *IEEE Transactions on Power Electronics*, **10** (5), 547 (1995).
- 5) Tuladhar A, Jin H, Unger T, and Mauch K, *IEEE APEC 1997*, **1**, 94 (1997).
- 6) Byun Y.K, Koo T.G, *IEEE Intelec 2000*, 526 (2000).
- 7) 平地克也, 劉亞東, 邢 岩, 黄立培, *ユアサ時報*, (95), 17 (2003).